

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-018435

(43)Date of publication of application : 19.01.1996

(51)Int.Cl.

H03K 19/086
H01L 21/8222
H01L 27/06

(21)Application number : 06-174788

(71)Applicant : NIPPON TELEGR & TELEPH CORP <NTT>

(22)Date of filing : 04.07.1994

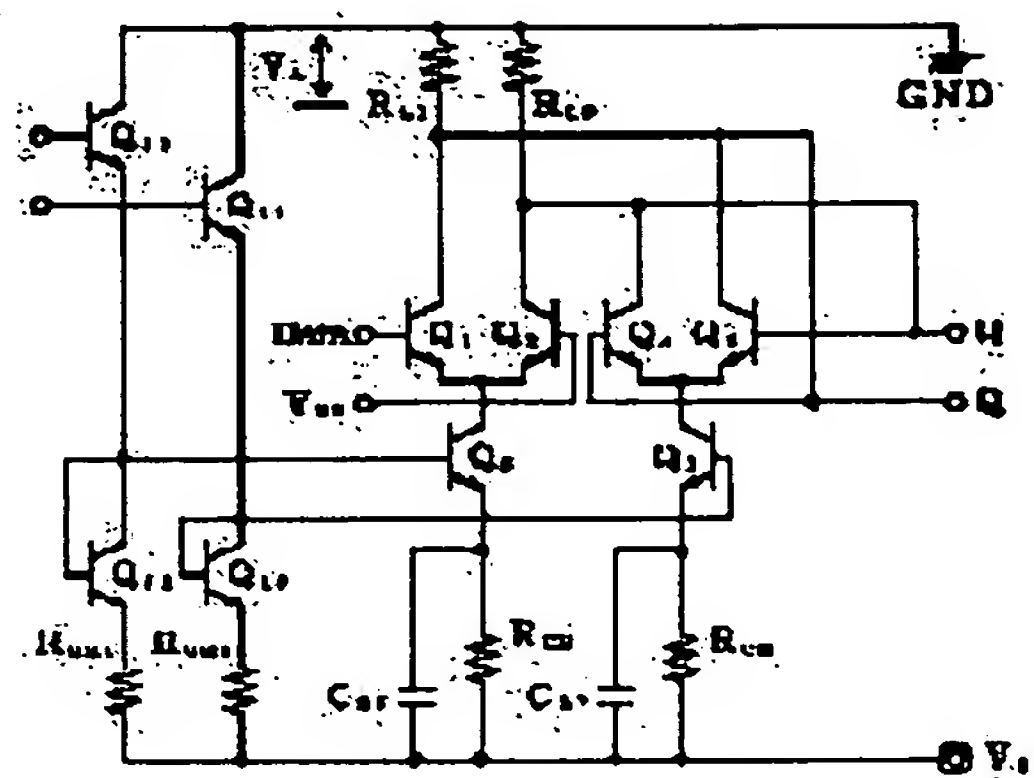
(72)Inventor : KISHINE KEIJI
ICHINO HARUHIKO

(54) BIPOLAR LOGIC CIRCUIT

(57)Abstract:

PURPOSE: To provide a bipolar logic circuit capable of making the switching speed of a transistor a high speed while maintaining a low voltage property by the use of a current mirror circuit.

CONSTITUTION: The base and collector of a current mirror driving transistor Q12 are connected to the emitter of an emitterfollower transistor Q10 and the current mirror circuit is constituted of the current mirror driving transistor Q12, a first DC feedback resistor RCM1, connected between the emitter of the current mirror driving transistor Q12 and a power source, a current mirror driven transistor Q5 controlled by an emitter-follower circuit and a second DC feedback resistor RCM connected between the emitter of the current mirror driven transistor Q5 and the power source.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C): 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平8-18435 ✓

(43)公開日 平成8年(1996)1月19日

(51)Int.Cl.⁶

識別記号

庁内整理番号

F I

技術表示箇所

H 0 3 K 19/086

H 0 1 L 21/8222

27/06

H 0 1 L 27/ 06

1 0 1 D

審査請求 未請求 請求項の数5 F D (全 8 頁)

(21)出願番号

特願平6-174788

(22)出願日

平成6年(1994)7月4日

(71)出願人 000004226

日本電信電話株式会社

東京都新宿区西新宿三丁目19番2号

(72)発明者 岸根 桂路

東京都千代田区内幸町1丁目1番6号 日

本電信電話株式会社内

(72)発明者 市野 晴彦

東京都千代田区内幸町1丁目1番6号 日

本電信電話株式会社内

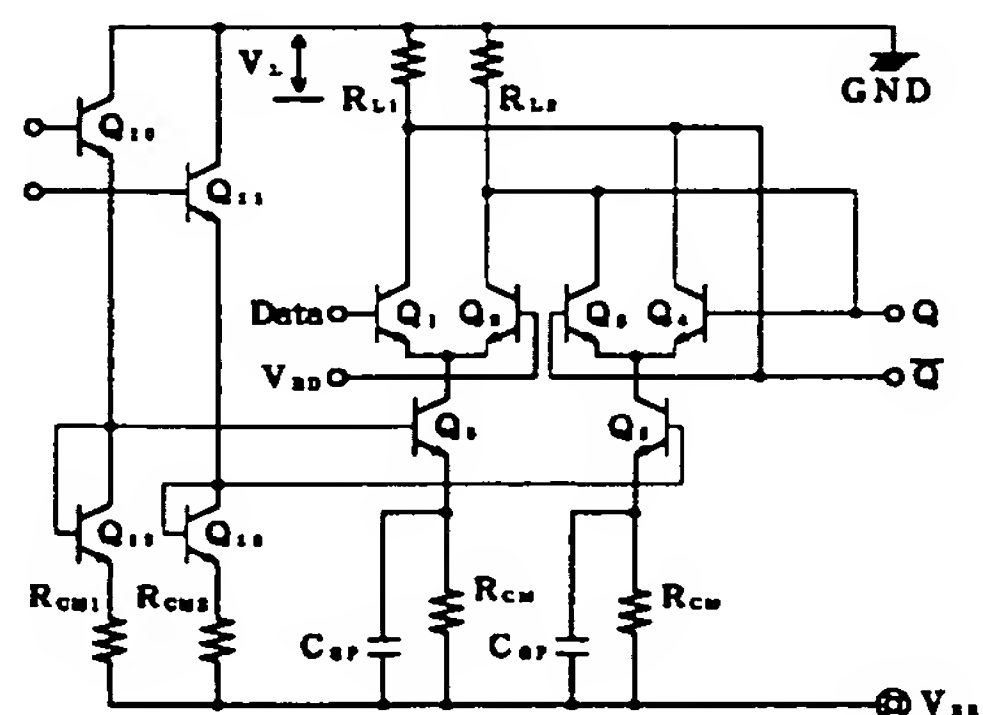
(74)代理人 弁理士 川久保 新一

(54)【発明の名称】 バイポーラ論理回路

(57)【要約】

【目的】 カレントミラー回路を使用することによる低電圧性を保ちながら、トランジスタのスイッチング速度を高速にすることができるバイポーラ論理回路を提供することを目的とするものである。

【構成】 エミッタフォロワトランジスタ Q_{10} のエミッタにカレントミラー駆動トランジスタ Q_{12} のベースとコレクタとを接続し、カレントミラー駆動トランジスタ Q_{12} と、このカレントミラー駆動トランジスタ Q_{12} のエミッタと電源との間に接続されている第1の直流帰還抵抗 R_{CM1} と、エミッタフォロア回路によって制御されるカレントミラー被駆動トランジスタ Q_5 と、このカレントミラー被駆動トランジスタ Q_5 のエミッタと電源との間に接続されている第2の直流帰還抵抗 R_{CM} とによって、カレントミラー回路が構成されている。



1

【特許請求の範囲】

【請求項 1】 1 段以上の縦積構成を有する E C L 回路の最も低電位側にある差動対トランジスタのスイッチング動作をカレントミラー回路で制御するバイポーラ論理回路であって、

上記 E C L 回路を構成するエミッタフォロワ回路は、エミッタフォロワトランジスタと、このエミッタフォロワトランジスタのエミッタにベースとコレクタとが接続されているカレントミラー駆動トランジスタと、このカレントミラー駆動トランジスタのエミッタと電源との間に

接続されている第 1 の直列帰還抵抗とで構成され、上記カレントミラー回路は、上記カレントミラー駆動トランジスタと、上記第 1 の直列帰還抵抗と、上記エミッタフォロワ回路によって制御されるカレントミラー被駆動トランジスタと、このカレントミラー被駆動トランジスタのエミッタと電源との間に接続されている第 2 の直列帰還抵抗とで構成されていることを特徴とするバイポーラ論理回路。

【請求項 2】 請求項 1 において、

上記第 2 の直列帰還抵抗と並列に、スピードアップ容量が接続されていることを特徴とするバイポーラ論理回路。

【請求項 3】 エミッタフォロワトランジスタと；このエミッタフォロワトランジスタのエミッタにベースとコレクタとが接続されているカレントミラー駆動トランジスタと；このカレントミラー駆動トランジスタのエミッタと電源との間に接続されている第 1 の直列帰還抵抗と；上記エミッタフォロワトランジスタのエミッタにベースが接続され、カレントミラー被駆動トランジスタであるインバータトランジスタと；このインバータトランジスタのコレクタに接続されている負荷抵抗と；上記インバータトランジスタのエミッタに接続されている第 2 の直列帰還抵抗と；を有し、上記エミッタフォロワトランジスタのベースが入力端子であり、上記インバータトランジスタのコレクタが出力端子であることを特徴とするバイポーラ論理回路。

【請求項 4】 請求項 3 において、

上記第 2 の直列帰還抵抗と並列に、スピードアップ容量が接続されていることを特徴とするバイポーラ論理回路。

【請求項 5】 請求項 3 または請求項 4 において、

上記エミッタフォロワトランジスタが複数設けられ、これら複数のエミッタフォロワトランジスタの共通のエミッタに、上記カレントミラー駆動トランジスタのベースとコレクタとが接続され、上記複数のエミッタフォロワトランジスタの共通のエミッタに、上記インバータトランジスタのベースが接続されていることを特徴とするバイポーラ論理回路。

【発明の詳細な説明】

【0001】

2

【産業上の利用分野】 本発明はバイポーラ論理回路にカレントミラー回路を適用した場合の高速化に関するものである。

【0002】

【従来の技術】 図 5 (1)、(2) は、従来の縦積 E C L (Emitter-Coupled Logic) 回路のうちで、データラッチ (以下、「D ラッチ」という) 回路を示す図である。

【0003】 図 5 (1) に示す回路において、上段差動対 (Q₁、Q₂) はデータの書き込みスイッチ、上段差動対 (Q₃、Q₄) はデータの保持スイッチ、下段差動対 (Q₅、Q₆) はクロックスイッチ、抵抗 (R_{L1}、R_{L2}) は論理振幅発生用負荷抵抗であり、これらの他に、定電流源 (Q₇、R_{CS1})、データのレベルシフト用エミッタフォロワ (Q₈、Q₉、R_{EF1}、R_{EF2})、クロックのレベルシフト用エミッタフォロワ (Q₁₀、Q₁₁、R_{EF3}、R_{EF4}) が設けられ、クロックは差動信号を仮定している。

【0004】 また、V_{RD} はデータ信号の参照電圧、V_{CS} は定電流源用電圧、V_{EE} は第 1 の負側電源電圧、V_{TT} は第 2 の負側電源電圧であり、上記従来例においては、最上位側の電源電圧はグランドとしている。通常では、負側電源電圧 V_{EE} は、-4.5 V または -5.2 V 程度の値に設定され、負側電源電圧 V_{TT} は、-2.0 V 程度の値に設定される。

【0005】 上記従来回路における最低電源電圧は、定電流源トランジスタ Q₇ を飽和させないという条件で決まる。ここで、トランジスタの飽和電圧を V_{SAT}、負荷抵抗で発生する論理振幅を V_L、定電流源抵抗 R_{CS1} で発生する電圧を V_{RCS}、トランジスタのオン電圧を V_{BE} とすると、クロック信号の High レベルは -2 V_{BE} であり、トランジスタ Q₇ のコレクタ電位は -3 V_{BE} になるために、トランジスタ Q₇ が飽和しないための V_{EE} の条件は、

$$V_{EE} < - (3 V_{BE} + V_{SAT} + V_{RCS})$$

が成立することである。

【0006】 ここで、V_{BE} = 0.9 V、V_{RCS} = 0.25 V、V_{SAT} = 0.4 V にすると、V_{EE} < -3.35 V の電源電圧が必要になる。

【0007】 図 5 (2) は、データレベルが負荷抵抗 R_L で発生したレベルと等しい場合の従来例を示す図であり、この場合は、

$$V_{EE} < - (2 V_{BE} + V_{SAT} + V_{RCS})$$

が成立し、V_{EE} < -2.45 V の電源電圧を必要とする。

【0008】 これら縦積 E C L 回路構成において |V_{EE}| を、3.35 V 以下、または 2.45 V 以下へ低電圧化するためには、定電流源 (Q₇、R_{CS1}) を省略し、図 5 における差動対 (Q₅、Q₆) のエミッタ端子を負側電源電圧 V_{EE} に直接接続させ、差動対 (Q₅、Q₆) の電流スイッチ動作をカレントミラー回路によって制御

3

することが考えられ、これを図6に示してある。このように、ECL回路を低電圧化するために、カレントミラー回路を適用するECL回路を、本件出願人は特願平5-195166号で開示している。

【0009】図6は、抵抗 R_{CM1} とトランジスタ Q_{12} 、 Q_5 との組み合わせによって、1つのカレントミラー回路を構成し、また、抵抗 R_{CM2} とトランジスタ Q_{13} 、 Q_6 との組み合わせによって、別の1つのカレントミラー回路を構成する例を示す図である。

【0010】図6に示す背景技術において、トランジスタが飽和しないなら、トランジスタに流れるコレクタ電流の大きさは、ベースエミッタ間電圧の値でほぼ決まると考えると、トランジスタ(Q_{12} 、 Q_5)の組み合わせと、トランジスタ(Q_{13} 、 Q_6)の組み合わせとにおいて、両トランジスタのベースエミッタ間電圧の値は同じであり、したがって、トランジスタ Q_{12} 、 Q_5 の組み合わせに流れるコレクタ電流の値と、トランジスタ Q_{13} 、 Q_6 の組み合わせに流れるコレクタ電流の値とは、ほぼ同じ大きさになる。

【0011】このようにカレントミラー回路によって制御する論理回路、つまり、Current-Mirror-Control-Logic回路を、以後は、略して「CMCL回路」という。この場合、Clkまたはこの逆相信号がHighレベルであるときには、設計振幅 $V_L = R_L \times I_L$ を確保できるような電流 I_L が流れるように、また、Clkまたはこの逆相信号がlowレベルのときには、ほとんど電流が流れないように設計することによって、 $V_{SAT} + V_{RCS}$ 分だけ低電圧化することができる。したがって、 $V_{EE} = -2.0V$ まで低電圧化が可能になる。

【0012】

【発明が解決しようとする課題】図6に示す背景技術によれば、カレントミラー回路を適用して定電流源を削除することによって低電圧化をはかることができるものの、トランジスタ Q_5 のスイッチング速度が、抵抗 R_{CM1} とトランジスタ Q_5 の入力容量とで決定されるRC時定数によって律速され、トランジスタ Q_5 のスイッチング速度が劣化するという問題があり、また、トランジスタ Q_6 のスイッチング速度が、抵抗 R_{CM2} とトランジスタ Q_6 の入力容量とで決定されるRC時定数によって律速され、トランジスタ Q_6 のスイッチング速度が劣化するという問題がある。

【0013】本発明は、カレントミラー回路を使用することによる低電圧性を保ちながら、トランジスタのスイッチング速度を高速にすることができるバイポーラ論理回路を提供することを目的とするものである。

【0014】

【課題を解決するための手段】本発明は、縦積構成を有するECL回路の最も低電位側にある差動対トランジスタのスイッチング動作をカレントミラー回路で制御し、ECL回路中のエミッタフォロワ回路は、エミッタフォ

4

ロワトランジスタと、このエミッタフォロワトランジスタのエミッタにベースとコレクタとが接続されているカレントミラー駆動トランジスタと、このカレントミラー駆動トランジスタのエミッタと電源との間に接続されている第1の直列帰還抵抗とで構成され、カレントミラー回路は、カレントミラー駆動トランジスタと、第1の直列帰還抵抗と、エミッタフォロワ回路によって制御されるカレントミラー被駆動トランジスタと、このカレントミラー被駆動トランジスタのエミッタと電源との間に接続されている第2の直列帰還抵抗とで構成されている。

【0015】

【作用】本発明は、エミッタフォロワトランジスタのエミッタにカレントミラー駆動トランジスタのベースとコレクタとを接続し、カレントミラー駆動トランジスタと、このカレントミラー駆動トランジスタのエミッタと電源との間に接続されている第1の直列帰還抵抗と、エミッタフォロワ回路によって制御されるカレントミラー被駆動トランジスタと、このカレントミラー被駆動トランジスタのエミッタと電源との間に接続されている第2の直列帰還抵抗とによって、カレントミラー回路を構成したので、カレントミラー被駆動トランジスタのベース電流が流れる経路における抵抗の値が小さくなり、カレントミラー被駆動トランジスタのスイッチング速度を高速にすることができ、また、カレントミラー回路を使用しているので、低電圧性を維持できる。

【0016】

【実施例】図1は、本発明の第1の実施例を示す回路図である。図1に示す実施例は、図6に示す回路に適用した場合の回路である。

【0017】この実施例は、1段以上の縦積構成を有するECL回路の最も低電位側にある差動対トランジスタのスイッチング動作をカレントミラー回路で制御するバイポーラ論理回路である。また、この実施例において、上段差動対(Q_1 、 Q_2)はデータの書込みスイッチ、上段差動対(Q_3 、 Q_4)はデータの保持スイッチ、下段差動対(Q_5 、 Q_6)はクロックスイッチ、抵抗(R_{L1} 、 R_{L2})は論理振幅発生用負荷抵抗であり、これらの他に、1つ目のエミッタフォロワ回路(Q_{10} 、 Q_{12} 、 R_{CM1})と、2つ目のエミッタフォロワ回路(Q_{11} 、 Q_{13} 、 R_{CM2})とが設けられ、クロックとしては差動信号を仮定している。また、 V_{RD} はデータ信号の参照電圧であり、 V_{EE} は負側電源電圧であり、最上位側の電源電圧をグラウンドにしている。

【0018】つまり、上記実施例においては、ECL回路を構成するエミッタフォロワ回路は2つ設けられ、1つ目のエミッタフォロワ回路は、エミッタフォロワトランジスタ Q_{10} と、このエミッタフォロワトランジスタ Q_{10} のエミッタにベースとコレクタとが接続されているカレントミラー駆動トランジスタ Q_{12} と、このカレントミラー駆動トランジスタ Q_{12} のエミッタと電源との間に接

5

続されている第1の直列帰還抵抗 R_{CM1} とで構成されている。

【0019】また、2つ目のエミッタフォロワ回路は、エミッタフォロワトランジスタ Q_{11} と、このエミッタフォロワトランジスタ Q_{11} のエミッタにベースとコレクタとが接続されているカレントミラー駆動トランジスタ Q_{13} と、このカレントミラー駆動トランジスタ Q_{13} のエミッタと電源との間に接続されている第1の直列帰還抵抗 R_{CM2} とで構成されている。

【0020】さらに、上記実施例において、第1の直列帰還抵抗 R_{CM1} と、カレントミラー駆動トランジスタ Q_{12} と、カレントミラー被駆動トランジスタ Q_5 と、このトランジスタ Q_5 のエミッタに接続されている第2の直列帰還抵抗 R_{CM} との組み合わせによって、1つ目のカレントミラー回路が構成され、また、第1の直列帰還抵抗 R_{CM2} と、カレントミラー駆動トランジスタ Q_{13} と、カレントミラー被駆動トランジスタ Q_6 と、このトランジスタ Q_6 のエミッタに接続されている第2の直列帰還抵抗 R_{CM} との組み合わせによって、2つ目のカレントミラー回路が構成されている。

【0021】また、第2の直列帰還抵抗 R_{CM} と並列に、スピードアップ容量 C_{SP} が接続されている。

【0022】なお、カレントミラー駆動トランジスタ Q_{12} 、 Q_{13} は、ある意味ではレベルシフト用トランジスタであるが、従来の概念においては、レベルシフト用トランジスタはエミッタフォロワトランジスタ Q_{10} 、 Q_{11} と同じものであると誤解される余地があるので、本明細書においては、トランジスタ Q_{12} 、 Q_{13} をカレントミラー駆動トランジスタと呼ぶことにする。

【0023】また、カレントミラー被駆動トランジスタ Q_5 のエミッタと、カレントミラー被駆動トランジスタ Q_6 のエミッタとが切り離されている。

【0024】次に、上記実施例の動作について説明する。

【0025】上記実施例において、1つ目のエミッタフォロワ回路に着目すると、カレントミラー被駆動トランジスタ Q_5 のベース電流が流れる経路には、抵抗 R_{CM1} が存在しないので、その経路の抵抗の値が小さくなり、上記ベース電流が流れる経路中の抵抗の値とカレントミラー被駆動トランジスタ Q_5 の入力容量とで決定されるRC時定数が小さくなり、したがって、図6に示す背景技術における回路の動作よりも、カレントミラー被駆動トランジスタ Q_5 のスイッチング速度が高速になる。さらに、カレントミラー被駆動トランジスタ Q_5 のエミッタに接続されている第2の直列帰還抵抗 R_{CM} と並列にスピードアップ容量 C_{SP} が接続されているので、カレントミラー被駆動トランジスタ Q_5 のスイッチング速度がより高速になる。

【0026】また、2つ目のエミッタフォロワ回路に着目しても、上記と同様であり、カレントミラー被駆動ト

6

ランジスタ Q_6 のベース電流が流れる経路には、抵抗 R_{CM2} が存在しないので、その経路の抵抗の値が小さくなり、上記ベース電流が流れる経路中の抵抗の値とカレントミラー被駆動トランジスタ Q_6 の入力容量とで決定されるRC時定数が小さくなり、したがって、図6に示す背景技術における回路の動作よりも、カレントミラー被駆動トランジスタ Q_6 のスイッチング速度が高速になる。さらに、カレントミラー被駆動トランジスタ Q_6 のエミッタに接続されている第2の直列帰還抵抗 R_{CM} と並列に、スピードアップ容量 C_{SP} が接続されているので、カレントミラー被駆動トランジスタ Q_6 のスイッチング速度がより高速になる。

【0027】上記実施例においては、背景技術と同様に、カレントミラー回路を使用しているので、低電圧性を維持できる。

【0028】なお、上記実施例において、カレントミラー被駆動トランジスタ Q_5 のエミッタに接続されている第2の直列帰還抵抗 R_{CM} と並列に接続されているスピードアップ容量 C_{SP} を削除し、カレントミラー被駆動トランジスタ Q_6 のエミッタに接続されている第2の直列帰還抵抗 R_{CM} と並列に接続されているスピードアップ容量 C_{SP} を削除するようにしてもよく、このようにしても、図6に示す背景技術における回路よりも、カレントミラー被駆動トランジスタ Q_5 、 Q_6 のスイッチング速度が高速になる。

【0029】図2は、本発明の第2の実施例を示す回路図である。図2(1)は、本発明をNAND回路に適用したものであり、図2(2)は、本発明をEX-OR/NOR回路に適用したものである。

【0030】この第2の実施例において、1つ目のエミッタフォロワ回路(Q_{10} 、 Q_{12} 、 R_{CM1})、2つ目のエミッタフォロワ回路(Q_{11} 、 Q_{13} 、 R_{CM2})、1つ目のカレントミラー回路(Q_{12} 、 Q_5 、 R_{CM1} 、 R_{CM})、2つ目のカレントミラー回路(Q_{13} 、 Q_{16} 、 R_{CM2} 、 R_{CM})、スピードアップ容量 C_{SP} については、第1の実施例と同様であり、カレントミラー駆動部の入力端子であるエミッタフォロワトランジスタ Q_{10} 、 Q_{11} のベースには、信号Aとこの信号Aの逆相信号とが入力される。

【0031】図2(1)に示す回路においては、上記1つ目のカレントミラー回路に制御される差動対を構成する一方のトランジスタ Q_1 のベースに信号Bが与えられ、その差動対を構成する他方のトランジスタ Q_2 のベースにはリファレンス電圧 V_R が与えられる。トランジスタ Q_1 、 Q_2 のコレクタにはそれぞれ負荷抵抗 R_{L1} 、 R_{L2} が接続され、トランジスタ Q_1 のコレクタにNAND信号(=A・Bの逆相信号)を出力する。

【0032】また、カレントミラー被駆動トランジスタ Q_6 と同様のカレントミラー被駆動トランジスタ Q_{16} のコレクタは、トランジスタ Q_2 のコレクタに接続され、AND信号(=A・B)を出力する端子である。

7

【0033】図2(2)に示す回路においては、カレントミラー被駆動トランジスタ Q_5 のコレクタは、差動対(Q_1 、 Q_2)のエミッタに接続され、カレントミラー被駆動トランジスタ Q_6 のコレクタは、差動対(Q_3 、 Q_4)のエミッタに接続され、トランジスタ Q_1 、 Q_3 のコレクタには負荷抵抗 R_{L1} が接続され、トランジスタ Q_2 、 Q_4 のコレクタには負荷抵抗 R_{L2} が接続され、トランジスタ Q_2 のベースとトランジスタ Q_3 のベースとにリファレンス電圧 V_R が与えられる。

【0034】また、図2(2)に示す回路においては、トランジスタ Q_1 、 Q_3 のコレクタから、信号Aと信号Bとを入力とするEX-OR信号が出力され、トランジスタ Q_2 、 Q_4 のコレクタから、信号Aと信号Bとを入力とするEX-NOR信号が出力される。

【0035】図3は、本発明の第3の実施例を示す図であり、1つのトランジスタのオン、オフ動作を、カレントミラー回路で制御する回路を示す図である。

【0036】図3(1)は、インバータに本発明を適用した場合の回路を示す図であり、図3(2)は、NOR回路に本発明を適用した場合の回路を示す図である。

【0037】図3(1)に示す実施例は、エミッタフォロワトランジスタ Q_{20} と、エミッタフォロワトランジスタ Q_{20} のエミッタにベースとコレクタとが接続されているカレントミラー駆動トランジスタ Q_{31} と、このカレントミラー駆動トランジスタ Q_{31} のエミッタと電源との間に接続されている第1の直列帰還抵抗 R_{CM1} と、エミッタフォロワトランジスタ Q_{20} のエミッタにベースが接続されているインバータトランジスタ Q_{32} (カレントミラー被駆動トランジスタである)と、インバータトランジスタ Q_{32} のコレクタに接続されている負荷抵抗 R_L と、インバータトランジスタ Q_{32} のエミッタに接続されている第2の直列帰還抵抗 R_{CM} とを有し、エミッタフォロワトランジスタ Q_{20} のベースが入力端子であり、インバータトランジスタ Q_{32} のコレクタが出力端子である。

【0038】また、第2の直列帰還抵抗 R_{CM} と並列に、スピードアップ容量 C_{SP} が接続されている。

【0039】図3(1)に示す実施例においては、入力信号Aに対して逆相の信号を出力することになり、インバータを構成する。この場合、カレントミラー被駆動トランジスタ Q_{32} のベース電流が流れる経路には、抵抗 R_{CM1} が存在しないので、その経路の抵抗の値が小さくなり、上記ベース電流が流れる経路中の抵抗の値とカレントミラー被駆動トランジスタ Q_{32} の入力容量とで決定されるRC時定数が小さくなり、したがって、カレントミラー被駆動トランジスタ Q_{32} のスイッチング速度も高速になる。さらに、カレントミラー被駆動トランジスタ Q_{32} のエミッタに接続されている第2の直列帰還抵抗 R_{CM} と並列に、スピードアップ容量 C_{SP} が接続されているので、カレントミラー被駆動トランジスタ Q_{32} のスイッチング速度がより高速になる。また、カレントミラー回路

8

を使用しているので、低電圧性を維持できる。

【0040】なお、図3(1)に示す実施例において、カレントミラー被駆動トランジスタ Q_{32} のエミッタに接続されている第2の直列帰還抵抗 R_{CM} と並列に接続されているスピードアップ容量 C_{SP} を削除してもよく、このようにしても、カレントミラー被駆動トランジスタ Q_{32} のスイッチング速度が高速になる。

【0041】図3(2)に示す実施例は、基本的には、図3(1)に示す実施例と同じであるが、エミッタフォロワトランジスタ Q_{20} の代わりに、複数のエミッタフォロワトランジスタ Q_{21} 、 Q_{22} 、 Q_{23} を設け、これら複数のエミッタフォロワトランジスタ Q_{21} 、 Q_{22} 、 Q_{23} の共通のエミッタに、カレントミラー駆動トランジスタ Q_{31} のベースとコレクタとが接続され、エミッタフォロワトランジスタ Q_{21} 、 Q_{22} 、 Q_{23} の各ベースに入力信号A、B、Cを付与し、また、複数のエミッタフォロワトランジスタ Q_{21} 、 Q_{22} 、 Q_{23} の共通のエミッタに、カレントミラー被駆動トランジスタであるインバータトランジスタ Q_{32} のベースが接続されている。

【0042】図3(2)に示す実施例は、入力信号A、B、Cの論理和信号の逆相信号を出力し、つまり、3入力/NORを構成している。

【0043】この場合も、カレントミラー被駆動トランジスタ Q_{32} のスイッチング速度が高速になり、また、カレントミラー回路を使用しているので、低電圧性を維持でき、スピードアップ容量 C_{SP} を削除して、カレントミラー被駆動トランジスタ Q_{32} のスイッチング速度が高速になる。

【0044】図4は、上記実施例と背景技術における C_{MCL} との間で遅延時間を比較した図である。

【0045】この図は、図3(1)に示す実施例のインバータにおける特性と、背景技術における C_{MCL} のインバータにおける特性とを比較したものである。つまり、入力両相信号のクロスポイントに対する実施例インバータにおける出力両相信号のクロスポイントの遅延と、入力両相信号のクロスポイントに対する背景技術 C_{MCL} インバータにおける出力両相信号のクロスポイントの遅延とを、回路シュミレータを用いて比較したものである(この場合、トランジスタとしては 0.5μ ルールのSiバイポーラを想定してある)。すなわち、背景技術 C_{MCL} インバータでは上記遅延時間が $98ps$ であり、実施例インバータにおける上記遅延時間が $47ps$ であり、したがって、上記実施例においては、背景技術と比較すると、その遅延時間が半分以下に減少し、高速化を実現することができる。

【0046】

【発明の効果】本発明によれば、カレントミラー回路を使用することによる低電圧性を保ちながら、トランジスタのスイッチング速度を高速にすることができるという効果を奏する。

【図面の簡単な説明】

【図 1】本発明の第 1 の実施例を示す回路図であり、図 6 に示す背景技術の回路に適用した場合の回路である。

【図 2】 本発明の第 2 の実施例を示す回路図である。

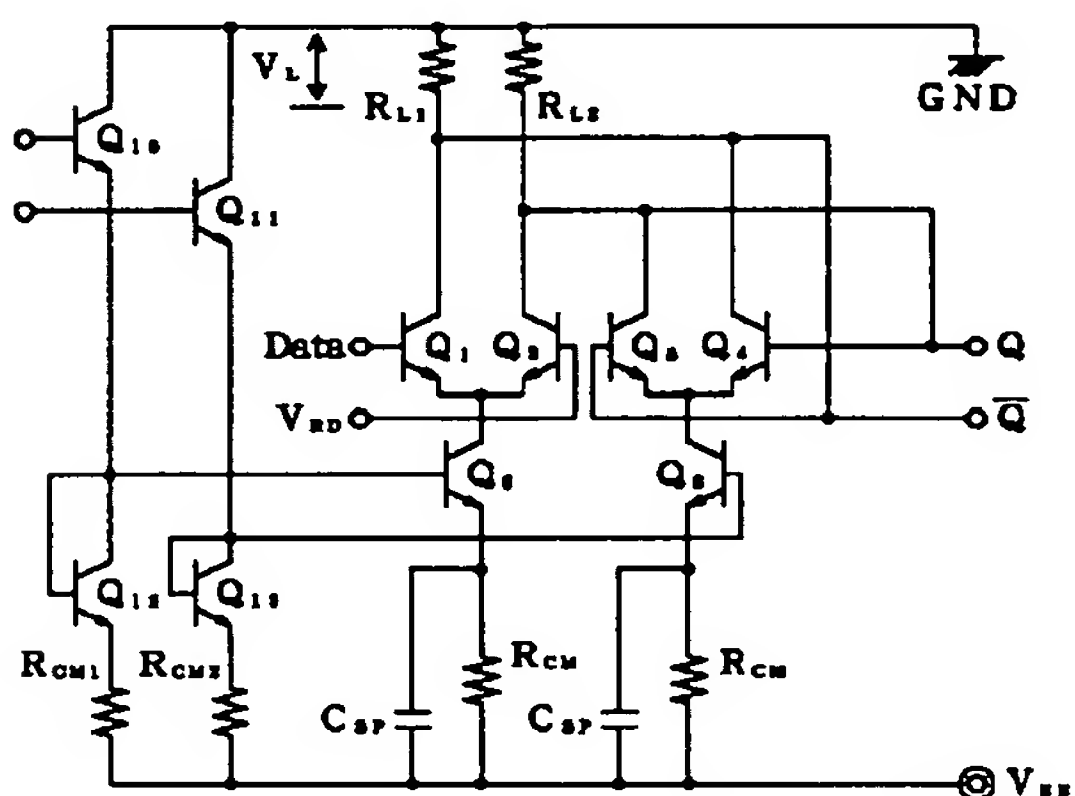
【図 3】 本発明の第 3 の実施例を示す図である。

【図 4】上記実施例と背景技術における CMCL との間で、遅延時間を比較した図である。

【図 5】従来の縦積 ECL 回路のうちで、D ラッチ回路を示す図である。

【図6】ECL回路を低電圧化するために、カレントミラー回路を適用する背景技術としてのECL回路を示す

【図 1】



【図 2】

図である。

【符号の説明】

Q₁、Q₂…データの書き込みスイッチ用上段差動対、

Q₃、Q₄ …データの保持スイッチ用上段差動対、

Q₅、Q₆…クロックスイッチ用下段差動対、

 R_{L1} 、 R_{L2} …論理振幅發生用負荷抵抗、

V_{RD} …データ信号の参照電圧、

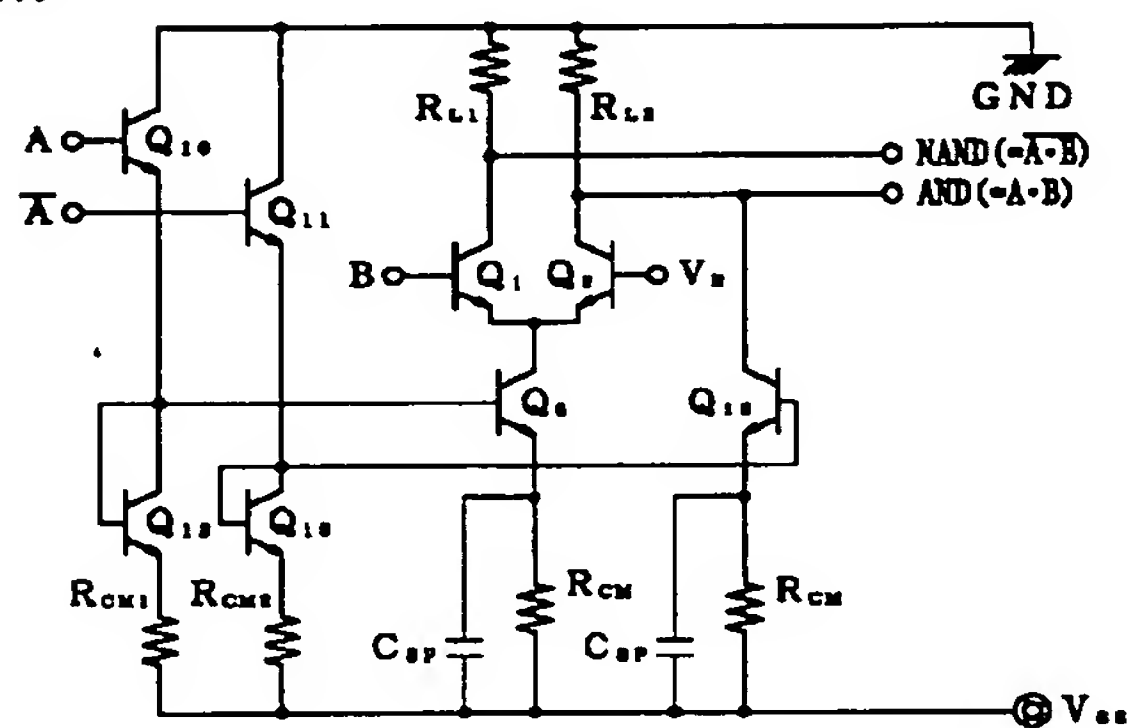
V_{EE} …負側電源電圧、

 R_{CM1} 、 R_{CM2} …第1の直列帰還抵抗、

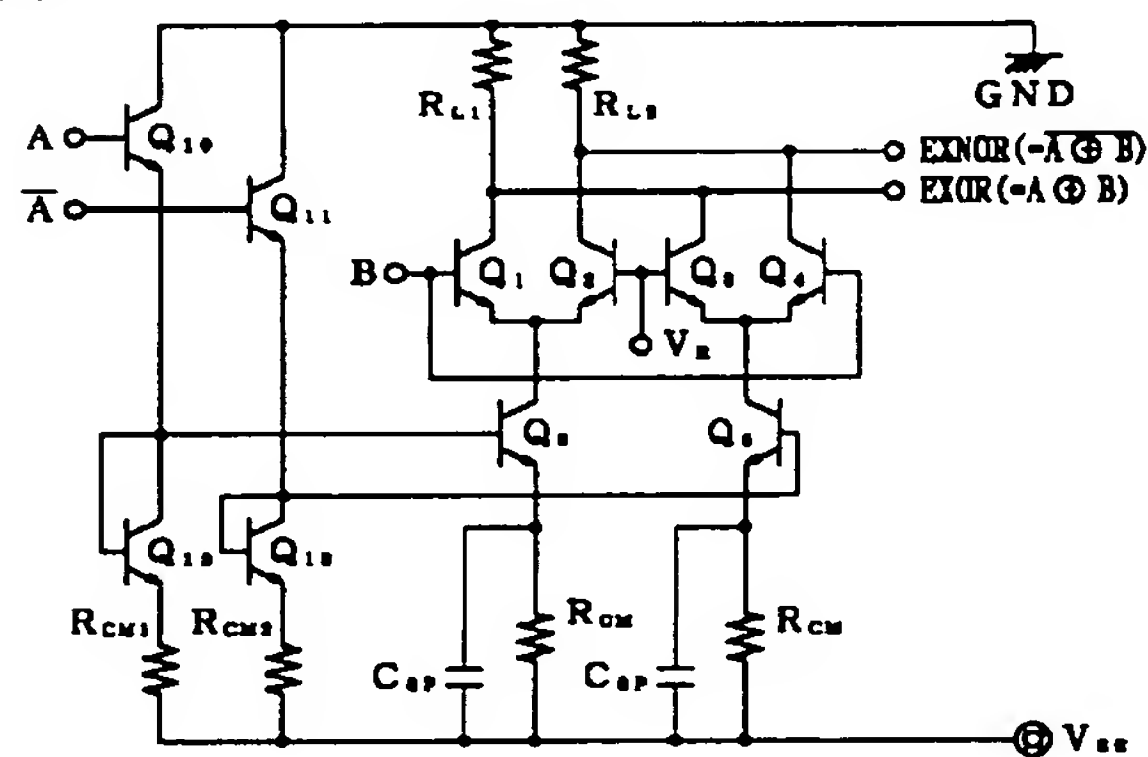
10 R_{CM} …第2の直列帰還抵抗、

C_{SP}…スピードアップ容量。

(1)

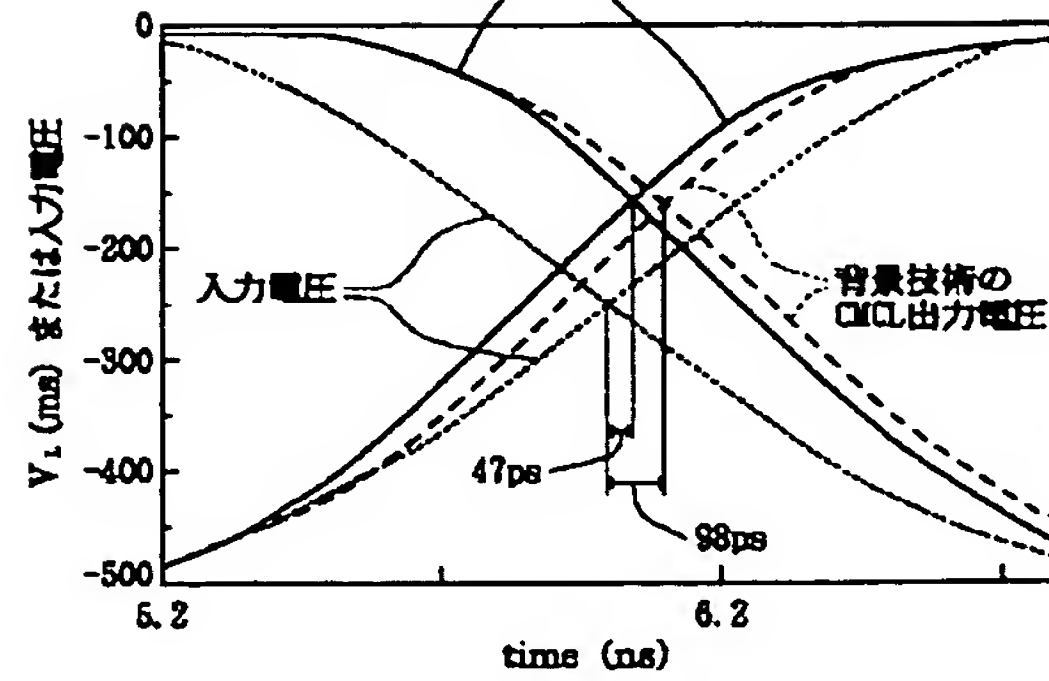


(2)

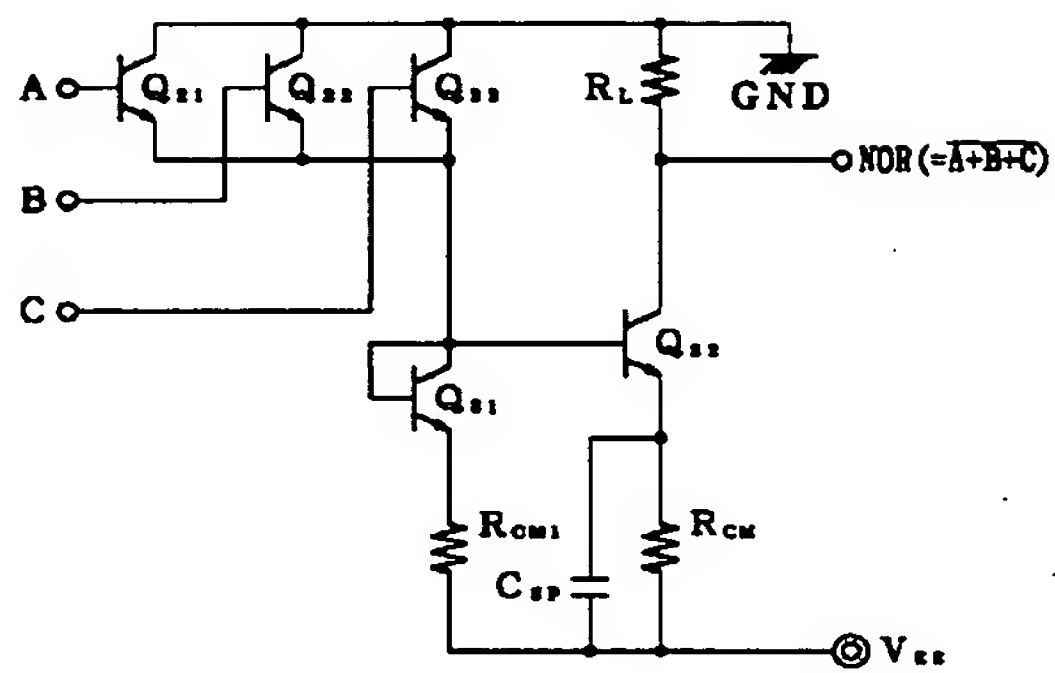


【~~3~~ 4】

実施例の出力電圧



time (ns)



【圖 6】

